

**TRƯỜNG ĐẠI HỌC KỸ THUẬT CÔNG NGHIỆP
KHOA ĐIỆN TỬ**

-----o0o-----

TÀI LIỆU

HƯỚNG DẪN BÀI TẬP

TÊN HỌC PHẦN: CÁC MÔ HÌNH MÁY TÍNH THẾ HỆ MỚI
MÃ HỌC PHẦN:

NGƯỜI BIÊN SOẠN: TĂNG CẨM NHUNG
BỘ MÔN: TIN HỌC CÔNG NGHIỆP

Lưu hành nội bộ

**TRƯỜNG ĐẠI HỌC KỸ THUẬT CÔNG NGHIỆP
KHOA ĐIỆN TỬ**

-----o0o-----

TÀI LIỆU HƯỚNG DẪN BÀI TẬP

**TÊN HỌC PHẦN: CÁC MÔ HÌNH MÁY TÍNH THẾ HỆ MỚI.
MÃ HỌC PHẦN:**

**TRƯỞNG BỘ MÔN
TIN HỌC CÔNG NGHIỆP.**

Thái nguyên, ngày tháng.... năm 2014

NGƯỜI BIÊN SOẠN

VŨ VIỆT VŨ

TẶNG CẨM NHUNG

Lưu hành nội bộ

LỜI NÓI ĐẦU

Sinh viên chuyên ngành KTMT đã được tiếp cận môn học Kiến trúc máy tính trong phần cơ sở. Trong môn học này người học được tiếp cận với mô hình máy tính đơn bộ xử lý và chỉ có khả năng tính toán tuần tự. Với quy luật và xu hướng phát triển của máy tính hiện nay, kiến trúc và khả năng xử lý của hệ thống máy tính ngày càng được nâng cao để đáp ứng nhu cầu về xử lý, tính toán của con người.

Trong môn học Các mô hình máy tính thế hệ mới, người học được cung cấp những kiến thức liên quan đến mô hình kiến trúc máy tính nâng cao. Đối với kiến trúc này, hệ thống máy tính đề được thiết kế với nhiều Bộ xử lý, nhiều bộ nhớ và hệ thống mạng liên kết giữa chúng. Ngoài ra, khả năng xử lý song song là một ưu điểm của hệ thống máy tính tiên tiến.

Để có thể hiểu và nắm vững lý thuyết về kiến trúc, nguyên lý, cách thức trao đổi thông điệp giữa các BXL trong hệ thống ngoài việc cần nắm vững kiến thức về lý thuyết, người học cần phải hiểu rõ cách thức thiết kế các bộ đa xử lý, cách thức xây dựng mạng liên kết và đặc biệt phải tính được hiệu suất làm việc của các Bộ xử lý khi chúng phải xử lý đồng thời nhiều tập lệnh trong cùng một điểm

Trong phần bài tập được đưa ra dựa trên đề cương môn học sẽ đáp ứng được các yêu cầu trên thông qua các bài tập của từng chương.

MỤC LỤC

CHƯƠNG 1. GIỚI THIỆU KIẾN TRÚC MÁY TÍNH TIỀN TIẾN VÀ XỬ LÝ SONG SONG.	5
1.1 Tóm tắt lý thuyết	5
1.2 Các dạng bài tập (có hướng dẫn giải).....	5
1.3 Các vấn đề về thảo luận, thực hành, thí nghiệm.....	5
1.4 Bài tập sinh viên tự làm	5
CHƯƠNG 2. KẾT NỐI MẠNG ĐA XỬ LÝ	8
2.1 Tóm tắt lý thuyết	8
2.2 Các dạng bài tập (có hướng dẫn giải).....	8
2.3 Các vấn đề về thảo luận	8
2.4 Bài tập sinh viên tự làm	8
CHƯƠNG 3. PHÂN TÍCH HIỆU XUẤT CỦA KIẾN TRÚC ĐA XỬ LÝ	17
3.1 Tóm tắt lý thuyết	17
3.2 Các dạng bài tập (có hướng dẫn giải).....	17
3.3 Các vấn đề về thảo luận, thực hành, thí nghiệm.....	17
3.4 Bài tập sinh viên tự làm	17

CHƯƠNG 1. GIỚI THIỆU KIẾN TRÚC MÁY TÍNH TIÊN TIẾN VÀ XỬ LÝ SONG SONG.

1.1 Tóm tắt lý thuyết

Chương 1 đề cập đến các vấn đề cơ bản:

- Các kỹ nguyên phát triển của máy tính dựa trên cách thức hoạt động và kiến trúc.
- Phân loại Kiến trúc máy tính dựa trên khả năng xử lý dữ liệu, như là
 - Kiến trúc SISD
 - Kiến trúc SIMD
 - Kiến trúc MISD
 - Kiến trúc MIMD
- Các kết nối mạng của các BXL và bộ nhớ trong hệ Đa xử lý, cụ thể
 - Các phương thức hoạt động
 - Chiến lược kiểm soát
 - Kỹ thuật chuyển mạch
 - Topo

1.2 Các dạng bài tập (có hướng dẫn giải)

1.3 Các vấn đề về thảo luận, thực hành, thí nghiệm

1.4 Bài tập sinh viên tự làm

Trình bày các kỹ nguyên phát triển khác nhau của máy tính. Kỹ nguyên nào được xem là kỹ nguyên bắt đầu của hệ thống máy tính song song?

Câu 1.1. Các kiến trúc máy tính có thể được phân loại như thế nào? Dựa vào những yếu tố nào để phân loại?

Câu 1.2. Trình bày phân loại kiến trúc máy tính của Flynn? Theo cách phân loại này thì một máy tính cá nhân với chip Dual-core (hai nhân) hiện nay thuộc loại nào?

Câu 1.3. Phân biệt 4 mô hình SISD, SIMD, MISD, MIMD

Câu 1.4. Bộ nhớ máy tính song song được chia thành những mô hình nào ?

Câu 1.5. Nêu nguyên tắc tổ chức bộ nhớ dùng chung?

Câu 1.6. Nêu nguyên tắc tổ chức bộ nhớ phân tán (Bộ nhớ truyền thông điệp)?

Câu 1.7. Trình bày về kiến trúc SIMD. Hãy so sánh ưu và nhược điểm của máy tính SIMD với bộ nhớ phân tán và bộ nhớ chia sẻ?

Câu 1.8. Trình bày về kiến trúc SIMD. Hãy so sánh ưu và nhược điểm của máy tính SIMD với bộ nhớ phân tán và bộ nhớ chia sẻ?

Câu 1.9. Hãy tìm một ứng dụng thực tế có thể thực hiện trên máy SIMD với bộ nhớ chia sẻ.

-
- Câu 1.10.** Trình bày về tổ chức bộ nhớ dùng chung trong kiến trúc MIMD
- Câu 1.11.** Máy tính kiểu MIMD khác với mạng các máy tính như thế nào?
- Câu 1.12.** Một hệ thống như thế nào được gọi là máy tính song song?
- Câu 1.13.** Trong thiết kế kiến trúc máy tính song song, cần quan tâm đến vấn đề gì ?
- Câu 1.14.** Trình bày tổ chức bộ nhớ truyền tin (Phân tán) trong kiến trúc MIMD
- Câu 1.15.** Trình bày các tiêu chí trong kết nối mạng đa xử lý.
- Câu 1.16.** Tại sao mạng liên kết lại đóng vai trò quan trọng trong kiến trúc song song?
- Câu 1.17.** What has been the trend in computing from the following points of views:
- (a) cost of hardware;
 - (b) size of memory;
 - (c) speed of hardware;
 - (d) number of processing elements; and
 - (e) geographical locations of system components.
- Câu 1.18.** Given the trend in computing in the last 20 years, what are your predictions for the future of computing?
- Câu 1.19.** What is the difference between cluster computing and grid computing?
- Câu 1.20.** Assume that a switching component such as a transistor can switch in zero-time. We propose to construct a disk-shaped computer chip with such a component. The only limitation is the time it takes to send electronic signals from
- Câu 1.21.** one edge of the chip to the other. Make the simplifying assumption that electronic signals can travel at 300,000 km/s. What is the limitation on the diameter of a round chip so that any computation result can be used anywhere on the chip at a clock rate of 1 GHz? What are the diameter restrictions if the whole chip should operate at 1 THz= 10^{12} Hz? Is such a chip feasible?
- Câu 1.22.** Compare uniprocessor systems with multiprocessor systems for the following aspects:
- (a) ease of programming;
 - (b) the need for synchronization;
 - (c) performance evaluation; and
 - (d) run time system.
- Câu 1.23.** Provide a list of the main advantages and disadvantages of SIMD and MIMD machines.
-

Câu 1.24. Provide a list of the main advantages and disadvantages of shared-memory and message-passing paradigm.

Câu 1.25. List three engineering applications, with which you are familiar, for which SIMD is most efficient to use, and another three for which MIMD is most efficient to use.

Câu 1.26. Assume that a simple addition of two elements requires a unit time. You are required to compute the execution time needed to perform the addition of a 40x40 elements array using each of the following arrangements:

- (a) A SIMD system having 64 processing elements connected in nearest-neighbor fashion. Consider that each processor has only its local memory.
- (b) A SIMD system having 64 processing elements connected to a shared memory through an interconnection network. Ignore the communication time.

Câu 1.27. Assume that a simple addition of two elements requires a unit time. You are required to compute the execution time needed to perform the addition of a 40x40 elements array using each of the following arrangements:

- (a) A MIMD computer system having 64 independent elements accessing a shared memory through an interconnection network. Ignore the communication time.
- (b) Repeat (b) and (c) above if the communication time takes two time units.

Câu 1.28. Conduct a comparative study between the following interconnection networks in their cost, performance, and fault tolerance:

- (a) bus;
- (b) hypercube;

Câu 1.29. Conduct a comparative study between the following interconnection networks in their cost, performance, and fault tolerance:

- (a) mesh;
- (b) fully connected;

Câu 1.30. Conduct a comparative study between the following interconnection networks in their cost, performance, and fault tolerance:

- (a) multistage dynamic network;
- (b) crossbar switch

CHƯƠNG 2. KẾT NỐI MẠNG ĐA XỬ LÝ

2.1 Tóm tắt lý thuyết

- Các cấu trúc liên kết khác nhau được sử dụng để kết nối nhiều bộ xử lý và các Modul nhớ
- Nghiên cứu 2 loại mạng chính là : Mạng tĩnh và mạng động
- Các cấu trúc liên kết được đưa ra cho mạng tĩnh bao gồm:
 - Liên kết siêu lập phương
 - Liên kết mesh (lưới)
 - Liên kết k-ary n-cube (khối n-lập phương, khối n chiều)
- Các cấu trúc liên kết được đưa ra cho mạng tĩnh bao gồm:
 - Liên kết bus
 - Liên kết crossbar
 - Liên kết đa tầng

2.2 Các dạng bài tập (có hướng dẫn giải)

2.3 Các vấn đề về thảo luận

2.4 Bài tập sinh viên tự làm

Câu 2.1. Phân loại liên kết mạng

Câu 2.2. Trình bày cấu trúc và đặc điểm hệ thống Bus đơn

Câu 2.3. Trình bày cấu trúc và đặc điểm hệ thống đa Bus

Câu 2.4. Trình bày cấu trúc và đặc điểm của Bus đồng bộ

Câu 2.5. Trình bày đặc điểm mạng Crossbar

Câu 2.6. Trình bày đặc điểm mạng đơn tầng

Câu 2.7. Trình bày đặc điểm mạng đa tầng

Câu 2.8. Trình bày cấu tạo và hoạt động của mạng kết nối hoàn hảo

Câu 2.9. Trình bày cấu tạo và hoạt động mạng kết nối hạn chế

Câu 2.10. Đánh giá hiệu năng các mạng động

Câu 2.11. Đánh giá hiệu năng mạng tĩnh

Câu 2.12. Trình bày cách thức tổ chức các bộ vi xử lý theo mạng hình siêu khối. Ưu và nhược điểm của cách thức tổ chức này?

Câu 2.13. Trình bày cách thức tổ chức các bộ vi xử lý theo mạng hình bướm. Ưu và nhược điểm của cách thức tổ chức này?.

Câu 2.14. Trình bày cách thức tổ chức các bộ vi xử lý theo mạng chu trình hướng kết nối khối. Ưu và nhược điểm của cách thức tổ chức này?.

Câu 2.15. Trình bày cách thức tổ chức các bộ vi xử lý theo mạng di chuyển hoán vị. Ưu và nhược điểm của cách thức tổ chức này?.

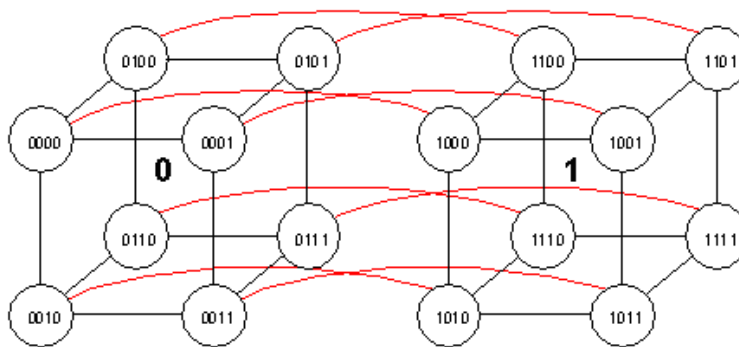
Câu 2.16. Trình bày về cách thức tổ chức 16 bộ vi xử lý theo mạng hình bướm? Bộ vi xử lý (7) sẽ được kết nối với những bộ vi xử lý nào?

Câu 2.17. Trình bày về cách thức tổ chức 32 bộ vi xử lý theo mạng hình siêu khối? Bộ vi xử lý 11101010 sẽ được kết nối với các bộ vi xử lý nào trong mạng?

Câu 2.18. Cho một mạng hoán vị- di chuyển, chứng minh rằng nếu một kết nối di chuyển (shuffle) nối nút i với nút j thì j là sẽ là kết quả của phép quay trái một bit trong biểu diễn nhị phân của i .

Câu 2.19. Thiết kế mạng hoán vị- di chuyển cho 16 đầu vào và 16 đầu ra. Hãy cho biết nguồn và đích nào có đường đi ngắn nhất? Nguồn và đích nào có đường đi dài nhất

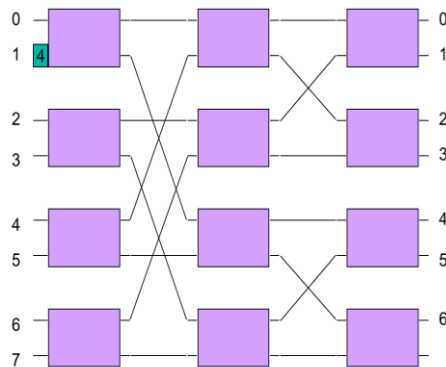
Câu 2.20. Cho mạng HyperCube như hình vẽ



- Hãy tìm những liên kết để BXL (0) định tuyến đến BXL (14)
- Hãy tìm những liên kết để BXL (10) định tuyến đến BXL (7)
- Hãy tìm những liên kết để BXL (4) định tuyến đến BXL (7)
- Hãy tìm những liên kết để BXL (11) định tuyến đến BXL (13)

Câu 2.21. Mạng đa tầng là gì? Hãy phân tích ưu nhược điểm của mạng đơn tầng so với mạng đa tầng?

Câu 2.22. Cho mạng đa tầng như hình vẽ.



Hãy xây dựng chu trình định tuyến cho thông điệp trong mạng đa tầng từ :

Nguồn	Đích
000	101
110	010
111	001

Câu 2.23. Trình bày đặc điểm của mạng Banyan? Thiết kế mạng Banyan 16x16

Câu 2.24. Cho mạng Banyan 8x8 như hình vẽ, hãy tìm các BXL được kết nối với

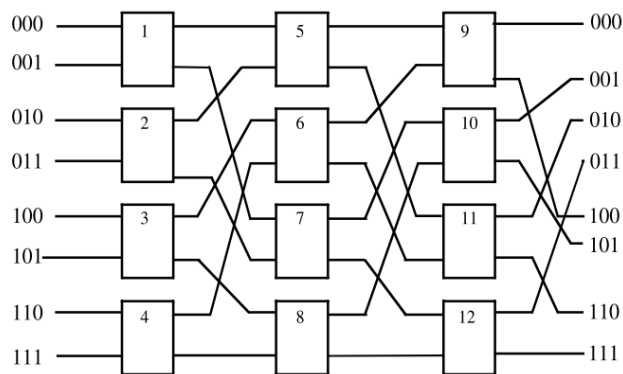
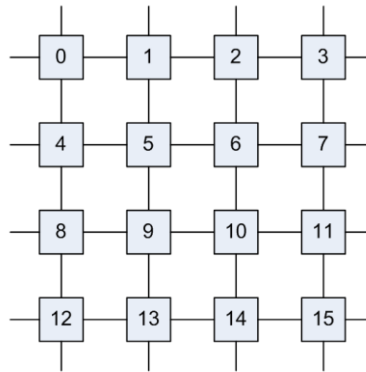


Figure 2.11 An 8 × 8 Banyan network.

- a. BXL số 1
- b. BXL số 3
- c. BXL số 4
- d. BXL số 7

Câu 2.25. Nêu đặc điểm của mạng lưới 2 chiều. Thiết kế mạng lưới 2 chiều 16 phần tử. Hãy cho biết thuật toán định tuyến cho một gói tin được truyền từ nguồn đến đích

Câu 2.26. Cho mạng lưới 2 chiều như hình vẽ. Định tuyến cho gói tin di chuyển từ:

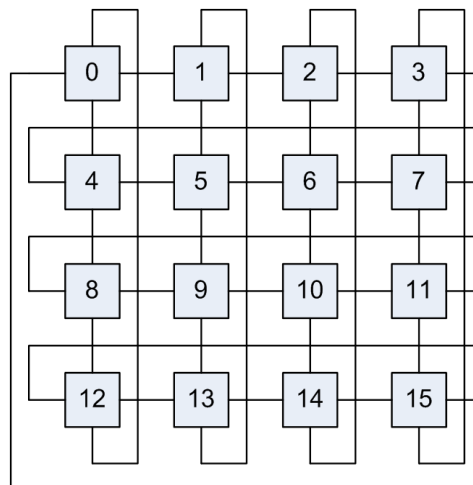


Mạng lưới 2 chiều với $k_0=k_1=4$

- Nguồn là Node 2 đến Node đích 14
- Nguồn là Node 0 đến Node đích 12
- Nguồn là Node 13 đến Node đích 3
- Nguồn là Node 15 đến Node đích 3

Câu 2.27. Nêu đặc điểm của mạng k-ary n-Cube? Cho biết thuật toán tìm các Node liên kết với Node đã cho

Câu 2.28. Cho mạng k-ary n-Cube như hình vẽ. Hãy xác định các Node liên kết với Node (4), (2), (9), (15)



Câu 2.29. Cho đa thức sau: $a_0+a_1x+a_2x^2+a_3x^3+a_4x^4+a_5x^5+a_6x^6+a_7x^7$. Tính giá trị của đa thức theo mô hình liên kết dạng Shuffle – Exchange

Câu 2.30. Cho đa thức sau: $\sin x = x - x/3 + x/5 - x/7 + x/9 + \dots - x/n-1$. Tính giá trị của đa thức theo mô hình liên kết dạng Shuffle – Exchange

Câu 2.31. Consider a two dimensional mesh network with n rows and m columns. What is the bisection bandwidth of this network?

Câu 2.32. Consider a Shuffle-Exchange network with $n=2^k$ nodes, $k>1$. How many of the of the 3.2^{k-1} edges are Shuffle edges and how many are Exchange edges? Draw a Shuffle-Exchange network with $k=4$

Câu 2.33. Show how a complete binary tree n leaves can be embedded into a Butterfly network of dimension $\log n$. The leaves of the trees correspond to the Butterfly nodes at the level $\log n$.

Câu 2.34. Construct an embedding of an three-dimensional Torus network with $8 \times 8 \times 8$ nodes into a nine-dimensional hypercube network.

Câu 2.35. Design a nonblocking Clos network that connects 16 processors and 16 memory modules. Show clearly the number of crossbar switches needed, together with their interconnection pattern.

Câu 2.36. Consider the case of an 8×8 single-stage recirculating Shuffle–Exchange network. Determine all input–output combinations that require the maximum number of passes through the network.

Câu 2.37. Consider the case of an 8×8 Banyan multistage interconnection network similar to the one shown in Figure 2.8.

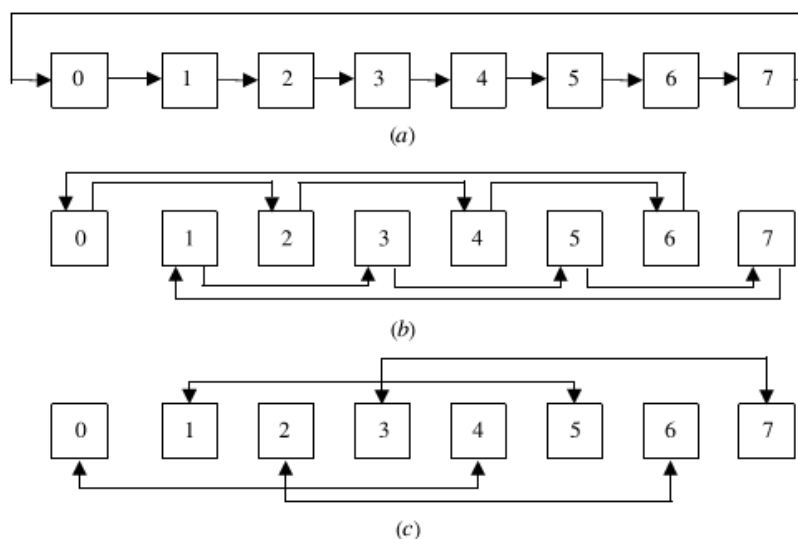


Figure 2.8 The $PM2I$ network for $N = 8$ (a), $PM2_{+0}$ for $N = 8$; (b) $PM2_{+1}$ for $N = 8$; and (c) $PM2_{+2}$ for $N = 8$.

Determine whether it is possible to connect input i to output $(i \bmod 8)$ for all i simultaneously. If it is possible show the routing in each case.

Câu 2.38. Consider a simple cost comparison between an $n \times n$ crossbar and an $n \times n$ Shuffle–Exchange MIN. While the crossbar uses cross points, the Shuffle network uses 2×2 switching elements (SEs). Assume that the cost of a 2×2 SE is four times that of a cross point. What is the relative cost of an $n \times n$ Shuffle–Exchange network with respect to that of a crossbar of the same size? Determine the smallest value of n for which the cost of the cross-bar is four times that of the Shuffle–Exchange.

Câu 2.39. In computing the number of connections for different multiple-bus systems, it is noticed that all multiple-bus systems require at least BN connections. However, they differ in the number of additional connections required. For example, while the MBFBMC requires B additional connections, the MBSBMC requires only M additional connections. You are required to compare the four multiple-bus systems in terms of the additional number of connections required for each. You may assume some numerical values for B , N , M , g , and k . Consider the case of connecting $N=100$ processors to $M=400$ memory modules using $B=40$ buses. Determine the optimal values for g and k such that the MBCBMC system is always better than the MBPBMC in terms of the number of additional connections.

Câu 2.40. Consider the two MINs shown in Figures 2.10 and 2.11. At first glance one can notice the difference between these two networks. In particular, while the first one (the Shuffle–Exchange) uses straight connections between the input processors and the network inputs and straight connections between the output of the network and the output memory modules, the second network (the Banyan network) uses straight connections at the inputs but a shuffle connection at the output.

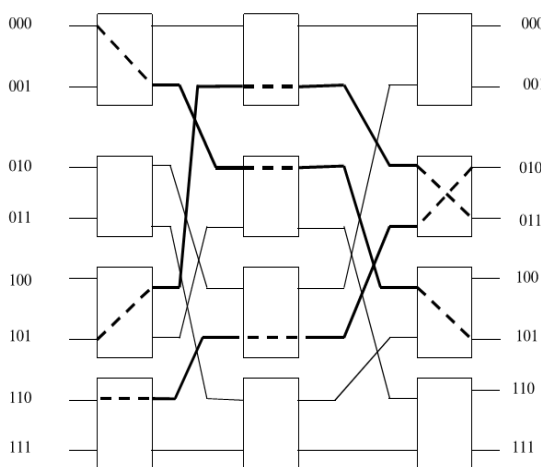


Figure 2.10 An example 8×8 Shuffle–Exchange network (SEN).

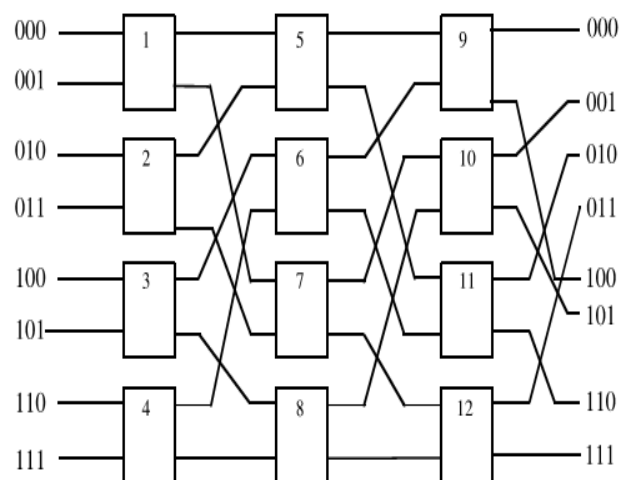


Figure 2.11 An 8×8 Banyan network.

If we generalize that principle such that at the input and the output we can have either straight or shuffle connections while keeping the connection among stages as shown, how many different types of networks will result? Characterize the resulting networks in terms of their ability to interconnect all inputs to all outputs simultaneously.

Câu 2.41. Repeat Cau1.42 above for the cases whereby the interstage connection patterns can be either straight or shuffle.

Câu 2.42. Assume that we define a new operation, call it inverse shuffle (IS), which is defined as

$$IS(p_{m-1} p_{m-2} \dots p_1 p_0) = p_0 p_{m-1} p_{m-2} \dots p_1$$

Repeat Problems 7 and 8 above if the IS is used instead of the shuffle operation.

Câu 2.43. Determine the maximum speedup of a single-bus multiprocessor system having N processors if each processor uses the bus for a fraction f of every cycle.

Câu 2.44. Discuss in some details the fault-tolerance features of dynamic INs such as multiple-bus, MINs, and crossbar. In particular, discuss the effect of failure of nodes and/or links on the ability of routing in each network. Repeat the same for static networks such as hypercubes, meshes, and tree networks.

Câu 2.45. Determine the condition under which a binary tree of height h has a larger diameter and larger number of links than each of the followings:

- (a) an n -dimensional hypercube
- (b) an $r \times r$ 2D mesh with $r = \sqrt{N}$,
- (c) a k -ary n -cube.

Câu 2.46. What are the minimum and the maximum distances a message has to travel in an n -dimensional hypercube? Can you use such information to compute the average distance a message has to travel in such cube? Show how?

Câu 2.47. Repeat Cau 1.47 for the case of an $r \times r$ 2D mesh with $r = \sqrt{N}$,

Câu 2.48. Repeat Problem 12 for the case of a binary tree whose height is h and assuming that all possible source/destination pairs are equally likely.

Câu 2.49. Routing of messages between two nodes A and B in a binary tree has been described in general terms in Section 2.4 of this chapter. You are required to obtain a step-by-step algorithm for routing messages between any two nodes in a binary tree given the following information:

- (a) the root node is numbered as 1 and is considered at level 1;
- (b) the left and right nodes of a node whose number is x are respectively $2x$ and $2x+1$;

- (c) the binary representation of the numbers of nodes at level i are i bits long;
- (d) the left and right children of a node are having a 0 or a 1 appended to their parent's number, respectively.

Show how to apply your algorithm to route messages between node number 8 and node number 13 in a 4 level binary tree.

Câu 2.50. Assume $n=2^k$ processors are connected by an omega network (Figure 2.23) . Design an algorithm to route a message from processor i to processor j . (Hint : Represent the destination address j as binary number)

Câu 2.51. An **omega network** is an indirect topology based upon the perfect shuffle interconnection pattern [66] . figure 2.23 illustrates an omega network for eight processors . Consider an omega network connecting $n = 2^k$ processor

- How many switching elements are in the network ?
- What is the diameter of the network ?
- What is the bisection width of the network?
- What is the maximum number of edges per switching node?
- Does the network have constant edge length as the number of nodes increases?

Câu 2.52. Give a algorithm that routes a message from node u to node v in an n - node shuffle-exchange network in no more than $2 \log n - 1$ messages.

Câu 2.53. Give a shuffle –exchange network with 2^k node, under what circumstances are nodes u and v exactly $2k - 1$ link traversals apart ?

Câu 2.54. Draw shuffle- exchange network with two, four, and eight nodes. Make sure you label the nodes. Is a shuffle – exchange network with n node a subgraph of a shuffle –exchange network with $2n$ nodes?

Câu 2.55. Give a algorithm that routes a message from node u to node v in an n -node hypercube in no more than $\log n$ steps.

Câu 2.56. Prove that a hypercube has no cycles of odd length.

Câu 2.57. Prove that if nodes u is distance i from node v in a hypercube , then there are i paths of length i from u to v that share no edges.

Câu 2.58. Prove that if nodes u is distance i from node v in a hypercube , then there are $i !$ different paths of length i from u to v (though some hypercube edges may appear in more than one path)

Câu 2.59. The distance between nodes u and v in a graph is the length of the shortest path from u and v . Given a d -dimensional hypercube and a designated source node s , how many nodes are distance i from s , where $0 \leq i \leq d$?

Câu 2.60. How many different ways can a d -dimensional hypercube be labeled?

Câu 2.61. Draw hypercube networks with two, four, and eight nodes. Make sure you label the nodes. Is a hypercube network with n nodes a subgraph of a hypercube network with $2n$ nodes?

CHƯƠNG 3. PHÂN TÍCH HIỆU XUẤT CỦA KIẾN TRÚC ĐA XỬ LÝ

3.1 Tóm tắt lý thuyết

- Tập trung vào 2 mô hình tính toán là
 - Mô hình khoảng thời gian bằng nhau
 - Mô hình từng phần nối tiếp
- Phân tích các quan điểm về kiến trúc song song
- Các công thức trong bài toán xử lý song song
 1. Thời gian xử lý của một bộ vi xử lý con:

$$t_m = \frac{t_s}{n} + t_c$$

Trong đó:

- t_m là thời gian xử lý của một bộ vi xử lý con
- t_a là thời gian xử lý của toàn bộ vi xử lý
- n là số bộ vi xử lý con

Chú ý: đối với trường hợp không có phí tổn truyền thông thì $t_c = 0$

2. hệ số tăng tốc: $S_{(n)} = \frac{t_s}{t_m}$

3. hiệu suất của hệ vi xử lý: $\varepsilon = \frac{S_{(n)}}{n}$

- Các công thức trong bài toán xử lý song song
 1. thời gian xử lý của một bộ vi xử lý con:

$$t_m = f t_s + (1 - f) \frac{t_s}{n}$$

Trong đó:

- f là xử lý tuyến tính
- $(1-f)$ là xử lý song song

3.2 Các dạng bài tập (có hướng dẫn giải)

3.3 Các vấn đề về thảo luận, thực hành, thí nghiệm

3.4 Bài tập sinh viên tự làm

Câu 3.1. Trình bày về Định luật grosch

Câu 3.2. Trình bày Định luật Amdahl

Câu 3.3. Trình bày Định Luật Gustafson-Barsis

Câu 3.4. cho một hệ VXL có hệ số tăng tốc 10. Thời gian để 1 VXL hoàn thành tác vụ là 20s. Hãy thực hiện các yêu cầu sau trong trường hợp đối với bài toán xử lý song song, phí tổn truyền thông 0.5s

- Trường hợp không có phí tổn truyền thông. Tính số lượng bộ vi xử lý? Thời gian thực hiện của hệ? hiệu suất của hệ vi xử lý?
- Trường hợp có phí tổn truyền thông. Tính thời gian thực hiện của hệ? Hệ số tăng tốc? Hiệu suất của hệ?

Câu 3.5. Cho số bộ vi xử lý là 30, thời gian cần thiết cho 1 bộ VXL hoàn thành tác vụ là 60s. hãy thực hiện các yêu cầu sau đối với mô hình từng phần nối tiếp, cho $f=0,5$

- Trường hợp không có phí tổn truyền thông. Tính hệ số tăng tốc? Thời gian thực hiện của hệ? Hiệu suất của hệ vi xử lý?
- Trường hợp có phí tổn truyền thông. Tính thời gian thực hiện của hệ? hệ số tăng tốc? Hiệu suất của hệ? Cho phí tổn truyền thông bằng 0,5

Câu 3.6. Consider the case of a multiple-bus system consisting of 50 processors, 50 memory modules, and 10 buses. Assume that a processor generates a memory request with probability r in a given cycle. Compute the bandwidth of such system for $r=0.2, 0.5, \text{ and } 1.0$. Show also the effect on the band-width if the number of buses is increased to $B=20, 30, \text{ and } 40$ for the same request probability values.

Câu 3.7. In deriving the expression for the bandwidth of a crossbar system, we have assumed that all processors generate requests for memory modules during a given cycle. Derive a similar expression for the case whereby only a fraction of processors, f , generate requests during a given cycle. Consider the two cases whereby a processor generates a memory request with probability r in a given cycle and whereby a processor can request any memory module.

Câu 3.8. Consider the recursive expression developed for the bandwidth of a Delta MIN network consisting of stages of $a \times b$ crossbar switches. Assuming that $a=2, b=4$, and $r_a=0.5$, compute the bandwidth of such a network.

Câu 3.9. Consider the case of a binary n -cube having N nodes. Compute the bandwidth of such a cube given that r is the probability that a node receives an external request and p is the probability that a node generates a request (either internally or passes on an external request). Assume that a fraction f of the external requests received by a node is passed onwards to another node.

Câu 3.10. Consider the expressions obtained for efficiency under the two computational models presented in the chapter. Compute the expected efficiency values for different values of t_c and t_s

Câu 3.11. Starting from the equation for the speedup factor given by

$$S(n) = \frac{1}{f + \frac{(1-f)}{n}}$$

Show the inequality that relates the fraction of serial computation, f , and the number of processors employed, n , if a 50% efficiency is to be achieved.

Câu 3.12. Contrast the following two approaches for building a parallel system. In this first approach, a small number of powerful processors is used in which each processor is capable of performing serial computations at a given rate, ψ . In the second approach, a large number of simple processors are used in which each processor is capable of performing serial computations at a lower rate, $\phi < \psi$. What is the condition under which the second system will execute a given computation more slowly than a single processor of the first system?

Câu 3.13. Consider a parallel architecture built using processors each capable of sustaining 0.5 megaflop. Consider a supercomputer capable of sustaining 100 megaflops. What is the condition (in terms of f) under which the parallel architecture can exceed the performance of the supercomputer?

Câu 3.14. Consider an algorithm in which $(1/\alpha)$ th of the time is spent executing computations that must be done in a serial fashion. What is the maximum speedup achievable by a parallel form of the algorithm?

Câu 3.15. Show that the lower bound on the isoefficiency function of a parallel system is given by $Q(n)$. Hint: If the problem size grows at a rate slower than $Q(n)$ as the number of processors increases, then the number of processors can exceed the problem size m .

Câu 3.16. Compute the isoefficiency of a parallel system having an overhead

$$T_{oh} = n^{4/3} + m^{3/4} + n^{3/2}.$$

Câu 3.17. In addition to the two definitions offered in Section 3.4, one can also define the average parallelism, Q , as the intersection point of the hardware bound and the software bound on speedup. Show that the three definitions are equivalent.

Câu 3.18. Why are processor array well suited for executing data-parallel programs?

Câu 3.19. Given a processor array containing eight processing elements, each capable of performing 10 million integer operations per second, determine the performance in million of operations per second of this processor array adding two integer vectors, for all vector size from 1 to 50.

Câu 3.20. Estimate the efficiency of a processor array executing a case statement with k cases. Assume all the instructions inside the case statement are parallel instructions that take the same amount of time to execute.

- What is the efficiency if each case contains the same number of instructions?
- What is the efficiency if case i has I_i instructions and the probability of a processing element being active inside case i is P_i ?

Câu 3.21. Why are large data and instruction caches desirable in multiprocessors?

Câu 3.22. Why is the number of processors in a centralized multiprocessor limited to a few dozen?

Câu 3.23. A directory-based protocol is a popular way to implement cache coherence on a distributed multiprocessor.

- Why should the directory be distributed among the multiprocessor's local memories?
- Why are the contents of the directory not replicated?

Câu 3.24. Continue the illustration of a directory-based cache coherence protocol begun in Figure 2.16. Assume the following five operations now occur in the order listed: CPU 2 reads X, CPU 2 writes 5 to X, CPU 1 reads X, CPU 0 reads X, CPU 1 writes 9 to X. Show the states of the directories, caches, and memories after each of these operations.

Câu 3.25. Do some research and find, for each category in Flynn's taxonomy, at least one commercial computer fitting that category. (It is OK to name a computer that is no longer available, but you may not name a computer mentioned in this book.)

Câu 3.26. Continue the example of the operation of a systolic priority queue begun in Figure 2.22 by illustrating the states it would pass through as it processed these five requests: Insert 4, Extract Minimum, Insert 11, Insert 9, Extract Minimum.

Câu 3.27. Explain why contemporary supercomputers are invariably multicomputers?

Sách, giáo trình

[1]. ThS. Tăng Cẩm Nhung; Bài giảng “*Các mô hình máy tính thế hệ mới*”

Tài liệu tham khảo

[2]. Hesham El-Rewini and Mostafa Abd-El-Barr, *Advanced Computer Architecture Computer and Parallel Processing*, Willey Interscience, 2004

[3]. Kai Hwang, Fayé A. Briggs, *Computer Architecture and Parallel Processing*, McGRAW-HILL, 2008